

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2002 EPO. All rts. reserv.

10725251

Basic Patent (No,Kind,Date): JP 4239731 A2 920827 <No. of Patents: 001>

MANUFACTURE OF FIELD-EFFECT TRANSISTOR (English)

Patent Assignee: CASIO COMPUTER CO LTD

Author (Inventor): SHIMOMAKI SHINICHI

IPC: *H01L-021/336; H01L-029/784

CA Abstract No: 118(14)137883Q

Derwent WPI Acc No: C 92-335840

JAPIO Reference No: 170006E000129

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date	
JP 4239731	A2	920827	JP 916618	A	910123	(BASIC)

Priority Data (No,Kind,Date):

JP 916618 A 910123

BEST AVAILABLE COPY

DIALOG(R)File 347:JAPIO

(c) 2002 JPO & JAPIO. All rts. reserv.

03874631 **Image available**

MANUFACTURE OF FIELD-EFFECT TRANSISTOR

PUB. NO.: 04-239731 [JP 4239731 A]

PUBLISHED: August 27, 1992 (19920827)

INVENTOR(s): SHIMOMAKI SHINICHI

APPLICANT(s): CASIO COMPUT CO LTD [350750] (A Japanese Company or
Corporation), JP (Japan)

APPL. NO.: 03-006618 [JP 916618]

FILED: January 23, 1991 (19910123)

INTL CLASS: [5] H01L-021/336; H01L-029/784

JAPIO CLASS: 42.2 (ELECTRONICS -- Solid State Components)

JAPIO KEYWORD: R097 (ELECTRONIC MATERIALS -- Metal Oxide Semiconductors,
MOS)

JOURNAL: Section: E, Section No. 1302, Vol. 17, No. 6, Pg. 129,
January 07, 1993 (19930107)

ABSTRACT

PURPOSE: To shorten manufacturing time and to lower cost by making a drain region into prescribed ion concentration by means of one time ion implantation while making the gate electrode side of the drain region into lower ion concentration than the grain region.

CONSTITUTION: Phosphorous ions P^{+} are implanted into polysilicon 22 from above an insulating film 25 at acceleration voltage 30kV, $1 \times 10^{15}/\text{cm}^2$. In this case, phosphorous ions P^{+} are hard to reach polysilicon 22 in the part corresponding to a vertical part 25A of the insulating film 25 so as to become a low concentration region n^{-} , where concentration of phosphorous ions P^{+} is lower than $1 \times 10^{15}/\text{cm}^2$. Further, phosphorous ions P^{+} are easy to reach polysilicon 22 in the part corresponding to a horizontal part 25B of the insulating film so that concentration of phosphorous ions P^{+} becomes a high-concentration region n^{+} having the concentration of phosphorous ions P^{+} almost $1 \times 10^{15}/\text{cm}^2$. Accordingly one time impurity doping can constitute an LDD construction, Thereby, manufacturing time is shortened while lowering cost.

BEST AVAILABLE COPY

(11)特許出願公開番号

(43)公開日 平成4年(1992)8月27日

審査請求 未請求 請求項の数 1 (全 3 頁)

1

【特許請求の範囲】

【請求項1】 半導体層上にゲート絶縁膜とゲート電極を形成し、全体を薄く絶縁膜で覆い、少なくともゲート絶縁膜及びゲート電極の側壁部に絶縁膜を固着させた状態で半導体層にイオンを打込み、ドレイン領域を所定のイオン濃度とすると共にドレイン領域のゲート電極側をドレイン領域より低いイオン濃度にしたことを特徴とする電界効果型トランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はLDD (Lightly Doped Drain) 構造の電界効果型トランジスタの製造方法に関するものである。

【0002】

【従来の技術】 電界効果型トランジスタにおいて、ドレイン領域付近の高電界を緩和して、トランジスタの諸特性を安定化し且つ高耐圧とするために、ドレイン領域の不純物分布の変化を滑らかにしたLDD構造が用いられる。

【0003】 この構造の電界効果型トランジスタの製造方法としては、従来、半導体基板上にゲート電極を形成した後、ゲート電極をマスクとして不純物イオンを注入し、セルフアライメントによる低濃度領域を形成し、次に、ゲート電極の両側壁にスペーサを設けた上、高濃度イオンを注入する。このようにすると、ゲート電極の外側に低濃度領域を有し、且つ該低濃度領域の外側に高濃度領域を有するドレイン領域を有するLDD構造の電界効果型トランジスタが得られる。この構造では、高濃度領域とゲート電極間に形成された低濃度領域によって電界が緩和され、上記の機能が満足される。

【0004】

【発明が解決しようとする課題】 しかしながら、従来の製造方法では、低濃度領域を形成するイオン注入と、高濃度領域を形成するイオン注入との2回の濃度の異なるイオン注入を行なっているため、製造プロセスが長くなる欠点があった。本発明は上記の実情に鑑みなされたもので、1回のイオン打込みでLDD構造となし得る電界効果型トランジスタの製造方法を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明は上記課題を解決するために、半導体層上にゲート絶縁膜とゲート電極を形成し、全体を薄く絶縁膜で覆い、少なくともゲート絶縁膜及びゲート電極の側壁部に絶縁膜を固着させた状態で半導体層にイオンを打込み、ドレイン領域を所定のイオン濃度とすると共にドレイン領域のゲート電極側をドレイン領域より低いイオン濃度にしたことを特徴とするものである。

【0006】

【作用】 上記手段により、少なくともゲート絶縁膜及び

2

ゲート電極の側壁部に絶縁膜を固着させた状態で半導体層にイオンを打込むことにより、1回のイオン打込みでドレイン領域を所定のイオン濃度とすると共にドレイン領域のゲート電極側をドレイン領域より低いイオン濃度にしたLDD構造にできる。

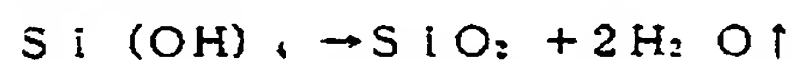
【0007】

【実施例】 以下図面を参照して本発明の実施例を詳細に説明する。図1～図3は本発明の一実施例の製造工程図であり、以下工程順に説明する。

10 【0008】 まず、図1に示すように、ガラス等の絶縁基板21上にプラズマCVDを用いてa-Siを500オングストローム程度成膜し、この膜上に、XeClエキシマレーザ等を照射することにより、前記a-Siをアニールし、ポリシリコン22を形成する。このポリシリコン22を、フォトリソグラフィを用いたエッチングによりアイソレーションしてデバイスエリアを形成する。

20 【0009】 次に、スパッタにより、前記ポリシリコン22上にSiO₂等よりなるゲート絶縁膜を1000オングストローム程度の厚さに成膜し、続いて、前記SiO₂上にアルミニウム等からなるゲート電極を3000オングストローム程度成膜し、両層をエッチングによりパターニングしてゲート絶縁膜24およびゲート電極23を形成する。

30 【0010】 この後、図2に示すように、SOG (Spin on Glass) を用いて、前記絶縁基板21、ポリシリコン22、ゲート電極23及びゲート絶縁膜24上にSiO₂からなる絶縁膜25を300オングストローム程度形成する。すなわち、エタノール等の溶媒で希釈した水酸化シリコンSi(OH)₄を、前記絶縁基板21、ポリシリコン22、ゲート電極23及びゲート絶縁膜24上に回転塗布し、700～900℃で熱処理すると、



40 【0011】 の化学反応でSiO₂を成分とする絶縁膜25が形成される。この場合、水酸化シリコンを希釈して低濃度として、ポリシリコン22、ゲート電極23及びゲート絶縁膜24上に回転塗布することにより、ゲート電極23及びゲート絶縁膜24の側壁部に所望の厚さに形成される。この場合、図2に示される如く、ゲート電極23とゲート絶縁膜の側壁部に固着される垂直部分25Aと、その外側でポリシリコン22の表面上に固着される水平部分25Bが形成されるようにすることが重要である。

50 【0012】 この状態で、絶縁膜25上からポリシリコン22にリンイオンP⁻を加速電圧30KV、 $1 \times 10^{15} / \text{cm}^2$ で打込む。この場合、絶縁膜25の垂直部分25Aに対応する部分ではポリシリコン22にリンイオンP⁻が到達しにくく、リンイオンP⁻の濃度が $1 \times 10^{15} / \text{cm}^2$ より低い低濃度領域n⁻となり、絶縁膜2

3

5の水平部分25Bに対応する部分ではポリシリコン22にリンイオン P^+ が到達し易い為、リンイオン P^+ の濃度が略 $1 \times 10^{15} / \text{cm}^2$ の高濃度領域 n^+ となる。従って、1回の不純物ドーピングによりLDD構造が構成できる。次に、XeClエキシマレーザを照射し、前記低濃度領域 n^+ および高濃度領域 n^+ からなるソース領域S及びドレイン領域Dに打込まれたリンイオン P^+ の活性化を行う。

【0013】この後は、図3に示すようにプラズマCVD等を用いて、上記絶縁膜25の上にSiN等からなる保護膜26を成膜し、さらに、絶縁膜25及び前記保護膜26の前記ソース領域S及びドレイン領域Dのコンタクト部に穴をあけ、アルミニウム等により配線をしてソース電極27、ドレイン電極28を形成する。

【0014】以上のように、絶縁膜25を形成することにより、ゲート付近の絶縁膜25の膜厚が厚くなるため、イオンを打ち込んだ場合、絶縁膜25の膜厚の厚い部分が絶縁膜25の膜厚の薄い部分に比べて低濃度になるため、1回のイオン打ち込みでLDD構造が構成できる。したがって、製造時間が短縮されるため、コストを低くすることができる。

【0015】又、SOGにより絶縁膜25を形成することにより、ゲート付近の段差が滑らかになり、ソース電極、ドレイン電極が、ゲート電極上部を乗り越えるところのステップカバレジが改善され、ソース電極、ドレ

4

イン電極が断線し難くなり、歩留まりが向上する。なお、上記実施例では、TFTの場合で説明したが、この発明は単結晶半導体装置にも適用できるものである。

【0016】

【発明の効果】以上述べたように本発明によれば、半導体層上にゲート絶縁膜とゲート電極を形成し、全体を薄く絶縁膜で覆い、少なくともゲート絶縁膜及びゲート電極の側壁部に絶縁膜を固着させた状態で半導体層にイオンを打込むことにより、1回のイオン打ち込みでドレイン領域を所定のイオン濃度とすると共にドレイン領域のゲート電極側をドレイン領域より低いイオン濃度にしたLDD構造の電界効果型トランジスタを製造できる。その為、製造時間が短縮され、コストを低くすることができる。

【図面の簡単な説明】

【図1】本発明の一実施例の製造工程の一部でゲート電極を形成した状態を示す断面図である。

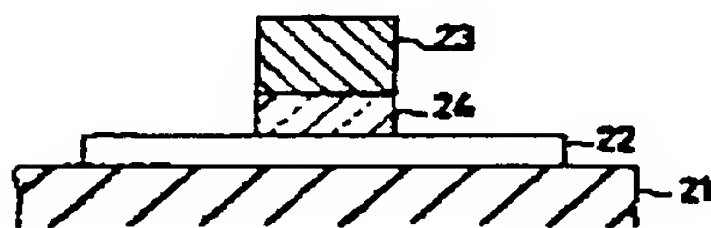
【図2】本発明の一実施例の製造工程の一部でSOGにより絶縁膜を形成した状態を示す断面図である。

【図3】本発明の一実施例の製造工程の一部でソース電極、ドレイン電極を形成した状態を示す断面図である。

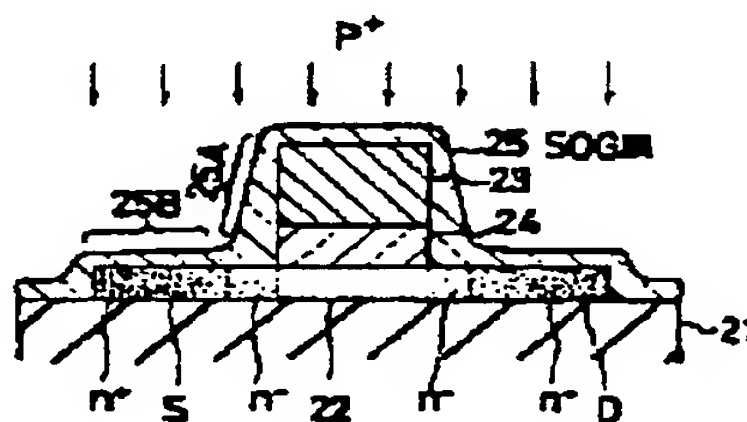
【符号の説明】

21…絶縁基板、22…ポリシリコン、23…ゲート電極、24…ゲート絶縁膜、25…絶縁膜、26…保護膜、27…ソース電極、28…ドレイン電極。

【図1】



【図2】



【図3】

